

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069759

(43)Date of publication of application : 11.03.1997

(51)Int.Cl. H03K 3/286
H03K 19/082

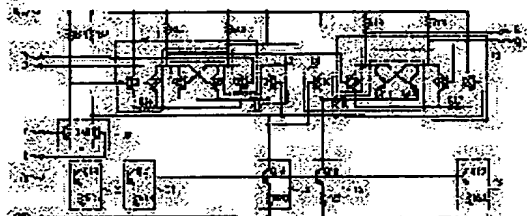
(21)Application number : 07-222325 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.08.1995 (72)Inventor : SATO TADANOBU

(54) LATCH CIRCUIT AND FLIP FLOP CIRCUIT USING THE CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To realize an operation with a low voltage in a latch circuit and a flip flop circuit of the emitter coupled logic system by connecting emitters of transistors TRs, to which a T input signal is inputted, and a TR, to which a D input signal is inputted, through an emitter feedback resistance for switching.

SOLUTION: A clock input T and a signal of the inverted T are inputted to a fifth TR differential pair 15, and a data input signal D and a signal being the inverse of D are inputted to a first differential pair 11. Emitter feedback resistances R15 to R18 for switching of differential pairs consisting of three TRs are inserted in the unbalanced state in first to fourth differential pairs 11 to 14. By this constitution, the number of piled-up stages of TRs connected between a power source Vcc and a ground potential GND is two stage because of the stage of TRs Q1 to Q12 constituting differential pairs 11 to 14 and the stage of TRs Q13 to Q16 constituting first to fourth contact current sources 11 to 14, and it is one stage smaller than conventional.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69759

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl.⁶

H 0 3 K 3/286
19/082

識別記号

庁内整理番号

F I

H 0 3 K 3/286
19/082

技術表示箇所

F

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号

特願平7-222325

(22) 出願日

平成7年(1995)8月30日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 佐藤 忠信

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 葛野 信一

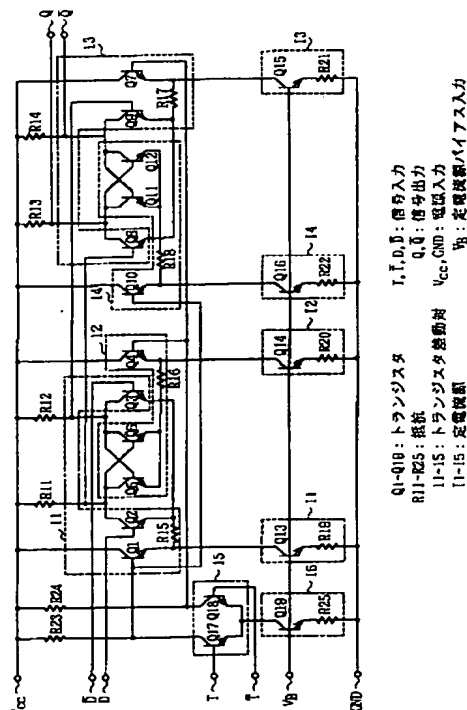
(54) 【発明の名称】 ラッチ回路およびこれを用いたフリップフロップ回路

(57) 【要約】

【課題】 低電圧で動作可能なエミッタ・カップルド・ロジック (E C L) 方式のラッチ回路およびこれを用いたフリップフロップ回路 (E C L 方式 F F) を得ることを目的とする。

【解決手段】 T 入力信号が入力されるトランジスタと、D 入力信号が入力されるトランジスタのエミッタとを、スイッチングを行わせるためのエミッタ帰還抵抗を介して接続することにより、電源と接地電位間に接続されるトランジスタの積み上げ段数を減らした。また、負荷抵抗と電源との間にスイッチングを確実にさせるためのレベルシフト用抵抗を挿入した。

【効果】 電源と接地電位間に接続されるトランジスタの積み上げ段数を減らすことにより、低電圧動作が可能になった。



【特許請求の範囲】

【請求項 1】 クロック入力 T バー信号が入力される第 1 のトランジスタと、この第 1 のトランジスタのエミッタに共通の抵抗を介してそれぞれそのエミッタが接続されデータ入力 D、D バー信号が入力されて差動的に働きそれぞれ D バー、D 信号を出力する第 2 および第 3 のトランジスタと、クロック入力 T 信号が入力される第 4 のトランジスタと、この第 4 のトランジスタのエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第 3 および第 2 のトランジスタの出力信号が入力されて差動的に働き上記出力信号を保持する第 5 および第 6 のトランジスタとを備えたことを特徴とするラッチ回路。

【請求項 2】 クロック入力 T バー信号が入力される第 1 のトランジスタと、この第 1 のトランジスタのエミッタに共通の抵抗を介してそれぞれそのエミッタが接続されデータ入力 D、D バー信号が入力されて差動的に働きそれぞれ D バー、D 信号を出力する第 2 および第 3 のトランジスタと、クロック入力 T 信号が入力される第 4 のトランジスタと、この第 4 のトランジスタのエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第 3 および第 2 のトランジスタの出力信号が入力されて差動的に働き上記第 2 および第 3 のトランジスタの出力信号を保持する第 5 および第 6 のトランジスタと、クロック入力 T 信号が入力される第 7 のトランジスタと、この第 7 のトランジスタのエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第 5 および第 6 のトランジスタの出力信号が入力されて差動的に働きそれぞれ D、D バー信号を出力する第 8 および第 9 のトランジスタと、クロック入力 T バー信号が入力される第 10 のトランジスタと、この第 10 のトランジスタのエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第 9 および第 8 のトランジスタの出力信号が入力されて差動的に働き上記第 8 および第 9 のトランジスタの出力信号を保持する第 11 および第 12 のトランジスタとを備えたことを特徴とするフリップフロップ回路。

【請求項 3】 クロック入力 T バー信号がベースに入力される第 1 のトランジスタと、データ入力 D 信号がベースに入力される第 2 のトランジスタと、データ入力 D バー信号がベースに入力される第 3 のトランジスタと、上記第 1 のトランジスタのエミッタと上記第 2、第 3 のトランジスタのエミッタ接続点との間に挿入された第 1 のエミッタ帰還抵抗と、上記第 1 のトランジスタのエミッタと上記第 1 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 1 の定電流源と、クロック入力 T 信号がベースに入力される第 4 のトランジスタと、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第 5、第 6 のトランジスタと、上記第 4 のトランジスタのエミッタと上記第 5、第 6 のトランジスタのエミッタ接続点との間に挿入された第 2 のエミッタ

帰還抵抗と、上記第 4 のトランジスタのエミッタと上記第 2 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 2 の定電流源と、上記第 2、第 5 のトランジスタのコレクタと上記第 6 のトランジスタのベースとの共通接続点と電源との間に挿入された第 1 の負荷抵抗と、上記第 3、第 6 のトランジスタのコレクタと上記第 5 のトランジスタのベースとの共通接続点と電源との間に挿入された第 2 の負荷抵抗とを備えたことを特徴とするラッチ回路。

【請求項 4】 クロック入力 T バー信号がベースに入力される第 1 のトランジスタと、データ入力 D 信号がベースに入力される第 2 のトランジスタと、データ入力 D バー信号がベースに入力される第 3 のトランジスタと、上記第 1 のトランジスタのエミッタと上記第 2、第 3 のトランジスタのエミッタ接続点との間に挿入された第 1 のエミッタ帰還抵抗と、上記第 1 のトランジスタのエミッタと上記第 1 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 1 の定電流源と、クロック入力 T 信号がベースに入力される第 4 のトランジスタと、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第 5、第 6 のトランジスタと、上記第 4 のトランジスタのエミッタと上記第 5、第 6 のトランジスタのエミッタ接続点との間に挿入された第 2 のエミッタ帰還抵抗と、上記第 4 のトランジスタのエミッタと上記第 2 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 2 の定電流源と、上記第 2、第 5 のトランジスタのコレクタと上記第 6 のトランジスタのベースとの共通接続点と電源との間に挿入された第 1 の負荷抵抗と、上記第 3、第 6 のトランジスタのコレクタと上記第 5 のトランジスタのベースとの共通接続点と電源との間に挿入された第 2 の負荷抵抗と、クロック入力 T 信号がベースに入力される第 7 のトランジスタと、ベースが上記第 1 の負荷抵抗に接続された第 8 のトランジスタと、ベースが上記第 2 の負荷抵抗に接続された第 9 のトランジスタと、上記第 7 のトランジスタのエミッタと上記第 8、第 9 のトランジスタのエミッタ接続点との間に挿入された第 3 のエミッタ帰還抵抗と、上記第 7 のトランジスタのエミッタと上記第 3 のエミッタ帰還抵抗の接続点と接地電位との間に挿入された第 3 の定電流源と、クロック入力 T バー信号がベースに入力される第 10 のトランジスタと、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第 11、第 12 のトランジスタと、上記第 10 のトランジスタのエミッタと上記第 11、第 12 のトランジスタのエミッタ接続点との間に挿入された第 4 のエミッタ帰還抵抗と、上記第 10 のトランジスタのエミッタと上記第 4 のエミッタ帰還抵抗の接続点と接地電位との間に挿入された第 4 の定電流源と、上記第 8、第 11 のトランジスタのコレクタと上記第 12 のトランジスタのベースとの共通接続点と電源との間に挿入され Q 信号を出力するための第 3 の負荷抵抗

3

と、上記第 9、第 12 のトランジスタのコレクタと上記第 11 のトランジスタのベースとの共通接続点と電源との間に挿入され、Q バー信号を出力するための第 4 の負荷抵抗とを備えたことを特徴とするフリップフロップ回路。

【請求項 5】 クロック入力 T バー信号がベースに入力される第 1 のトランジスタと、データ入力 D 信号がベースに入力される第 2 のトランジスタと、データ入力 D バー信号がベースに入力される第 3 のトランジスタと、上記第 1 のトランジスタのエミッタと上記第 2、第 3 のトランジスタのエミッタ接続点との間に挿入された第 1 のエミッタ帰還抵抗と、上記第 1 のトランジスタのエミッタと上記第 1 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 1 の定電流源と、クロック入力 T 信号がベースに入力される第 4 のトランジスタと、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第 5、第 6 のトランジスタと、上記第 4 のトランジスタのエミッタと上記第 5、第 6 のトランジスタのエミッタ接続点との間に挿入された第 2 のエミッタ帰還抵抗と、上記第 4 のトランジスタのエミッタと上記第 2 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 2 の定電流源と、上記第 2、第 5 のトランジスタのコレクタと上記第 6 のトランジスタのベースとの共通接続点に一端が接続された第 1 の負荷抵抗と、上記第 3、第 6 のトランジスタのコレクタと上記第 5 のトランジスタのベースとの共通接続点に一端が接続された第 2 の負荷抵抗と、上記第 1、第 2 の負荷抵抗のそれぞれ他端の接続点と電源との間に挿入された第 1 のレベルシフト用抵抗とを備えたことを特徴とするラッチ回路。

【請求項 6】 クロック入力 T バー信号がベースに入力される第 1 のトランジスタと、データ入力 D 信号がベースに入力される第 2 のトランジスタと、データ入力 D バー信号がベースに入力される第 3 のトランジスタと、上記第 1 のトランジスタのエミッタと上記第 2、第 3 のトランジスタのエミッタ接続点との間に挿入された第 1 のエミッタ帰還抵抗と、上記第 1 のトランジスタのエミッタと上記第 1 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 1 の定電流源と、クロック入力 T バー信号がベースに入力される第 4 のトランジスタと、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第 5、第 6 のトランジスタと、上記第 4 のトランジスタのエミッタと上記第 5、第 6 のトランジスタのエミッタ接続点との間に挿入された第 2 のエミッタ帰還抵抗と、上記第 4 のトランジスタのエミッタと上記第 2 のエミッタ帰還抵抗との接続点と接地電位との間に挿入された第 2 の定電流源と、上記第 2、第 5 のトランジスタのコレクタと上記第 6 のトランジスタのベースとの共通接続点に一端が接続された第 1 の負荷抵抗と、上記第 3、第 6 のトランジスタのコレクタと上記第

4

5 のトランジスタのベースとの共通接続点に一端が接続された第 2 の負荷抵抗と、上記第 1、第 2 の負荷抵抗のそれぞれ他端の接続点と電源との間に挿入された第 1 のレベルシフト用抵抗と、クロック入力 T 信号がベースに入力される第 7 のトランジスタと、ベースが上記第 1 の負荷抵抗に接続された第 8 のトランジスタと、ベースが上記第 2 の負荷抵抗に接続された第 9 のトランジスタと、上記第 7 のトランジスタのエミッタと上記第 8、第 9 のトランジスタのエミッタ接続点との間に挿入された第 3 のエミッタ帰還抵抗と、上記第 7 のトランジスタのエミッタと上記第 3 のエミッタ帰還抵抗の接続点と接地電位との間に挿入された第 3 の定電流源と、クロック入力 T バー信号がベースに入力される第 10 のトランジスタと、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第 11、第 12 のトランジスタと、上記第 10 のトランジスタのエミッタと上記第 11、第 12 のトランジスタのエミッタ接続点との間に挿入された第 4 のエミッタ帰還抵抗と、上記第 10 のトランジスタのエミッタと上記第 4 のエミッタ帰還抵抗の接続点と接地電位との間に挿入された第 4 の定電流源と、上記第 8、第 11 のトランジスタのコレクタと上記第 12 のトランジスタのベースとの共通接続点に一端が接続され、Q 信号を出力するための第 3 の負荷抵抗と、上記第 9、第 12 のトランジスタのコレクタと上記第 11 のトランジスタのベースとの共通接続点に一端が接続され、Q バー信号を出力するための第 4 の負荷抵抗と、上記第 3、第 4 の負荷抵抗のそれぞれ他端の接続点と電源との間に挿入された第 2 のレベルシフト用抵抗とを備えたフリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はラッチ回路およびこれを用いたフリップフロップ回路に関し、さらにはエミッタ・カップルド・ロジック (ECL) 方式のラッチ回路およびこれを用いたフリップフロップ回路 (FF) に関するものである。

【0002】

【従来の技術】 図 3 は従来のエミッタ・カップルド・ロジック (ECL) 方式のフリップフロップ回路 (FF) の回路図である。図において、Q1～Q12 はトランジスタ、R1～R4 は負荷抵抗、R5 および R6 は定電流源を構成するための抵抗である。1 はトランジスタ Q1、Q2 よりなる差動対、2 はトランジスタ Q3、Q4 よりなる差動対、3 はトランジスタ Q5、Q8 よりなる差動対、4 はトランジスタ Q6、Q7 よりなる差動対、5 はトランジスタ Q9、Q12 よりなる差動対、6 はトランジスタ Q10、Q11 よりなる差動対である。I1、I2 は定電流源であり、定電流源 I1 はトランジスタ Q13 と抵抗 R5 よりなり、定電流源 I2 はトランジスタ Q14 と抵抗 R6 よりなる。

5

【0003】このフリップフロップ回路全体は電源 V_{CC} と接地電位 GND との間で動作し、定電流源 I_1 、 I_2 には直流電圧 V_B が接地電位 GND との間に印加される。また、クロック入力信号 T 、 T バーが第1および第2の差動対1、2に入力され、データ入力信号 D 、 D バーが第3差動対3に入力される。そして、出力信号 Q 、 Q バーは抵抗 R_3 、 R_4 より取り出される。

【0004】次に動作について説明する。第1、第2の差動対1、2はクロック入力信号 T 、 T バーの極性によりスイッチング動作し、第3の差動対3はデータ入力信号 D 、 D バーの極性によりスイッチング動作する。第4の差動対4は負荷抵抗 R_1 、 R_2 に出力された状態を保持するように働く。第5の差動対5は負荷抵抗 R_1 、 R_2 の出力によりスイッチング動作する。第6の差動対6は負荷抵抗 R_3 、 R_4 に出力された状態を保持するよう働く。

【0005】第4の差動対4を例にとると、負荷抵抗 R_1 にハイ、負荷抵抗 R_2 にローが出力された状態で第4の差動対4が動作した場合、トランジスタ Q_6 のベースにローが印加され、トランジスタ Q_7 のベースにハイが印加されるため、トランジスタ Q_6 がオフし、トランジスタ Q_7 がオンする。従ってトランジスタ Q_7 を電流が流れ、負荷抵抗 R_2 にローが現われ、逆に負荷抵抗 R_1 は電流が流れないためハイになり、結局前の出力状態を保持し続ける。

【0006】次に T 入力に信号が入力された場合の動作について説明する。まず、入力信号 T がハイの場合、第1、第2の差動対1、2のトランジスタ Q_1 、 Q_3 がオンし、第3および第6の差動対3、6が動作する。第3の差動対3が動作することにより、 D 、 D バーの入力信号に応じた出力が負荷抵抗 R_1 、 R_2 に現れる。すなわち、 D がハイの場合、トランジスタ Q_5 がオン、トランジスタ Q_6 がオフし、負荷抵抗 R_1 出力はロー、負荷抵抗 R_2 の出力はハイになる。

【0007】負荷抵抗 R_1 、 R_2 出力は第5の差動対5に印加されるが、このとき第5の差動対5は動作せず、第6の差動対6が動作している。従って、先に説明した通り負荷抵抗 R_3 、 R_4 の出力、すなわち Q 、 Q バー出力には、 T 入力にハイが印加される前の出力状態がそのまま出力され続ける。

【0008】次に T 入力にローが印加された場合、第1、第2の差動対1、2のトランジスタ Q_2 、 Q_4 がオンし、第4および第5の差動対4、5が動作する。第4の差動対4が動作することにより、負荷抵抗 R_1 、 R_2 には前の出力状態、すなわち負荷抵抗 R_1 出力はロー、負荷抵抗 R_2 出力はハイが保持される。このとき、 D 入力は受け付けない。

【0009】一方、第5の差動対5が動作することにより、負荷抵抗 R_1 、 R_2 の出力が Q 、 Q バー出力に現われる。すなわち、負荷抵抗 R_1 出力がロー、負荷抵抗 R_2

6

2出力がハイのため Q_9 がオフ、 Q_{12} がオンし、 Q 出力がハイ、 Q バー出力がローとなる。

【0010】以上のようにエミッタ・カップルド・ロジック方式フリップフロップ回路（ECL方式FF）は、 T 入力が高いとき D 入力のデータを読み込み、 T 入力がローのときに読み込んだデータを Q 、 Q バー出力に出力するよう動作し、フェーズ・ロックド・ループ（PLL）の分周器として用いられている。

【0011】

【発明が解決しようとする課題】従来のエミッタ・カップルド・ロジック方式フリップフロップ回路（ECL方式FF）は以上のように構成されており、電源と接地電位間のトランジスタ積み上げ段数が多く、例えば図3の従来例では3段を要し、低電圧動作に不適であった。

【0012】これを具体的にみると、例えば図3の従来例では、トランジスタのベース・エミッタ間電圧 $V_{BE} = 0.7V$ 、トランジスタのコレクタ・ベース間電圧差を $0.2V$ 、定電流源用の抵抗 R_5 、 R_6 での電圧降下を $0.2V$ としたときに、最低必要とされる電源電圧は、 $0.7 \times 3 + 0.2 \times 2 + 0.2 = 2.7V$ となる。

【0013】この発明は上記のような問題点を解消するためになされたものであり、低電圧で動作可能なラッチ回路およびこれを用いたフリップフロップ回路、特にエミッタ・カップルド・ロジック方式のラッチ回路およびこれを用いたフリップフロップ回路（ECL方式FF）を得ることを目的としている。

【0014】

【課題を解決するための手段】このため、この発明に係るエミッタ・カップルド・ロジック方式のラッチ回路およびこれを用いたフリップフロップ回路（ECL方式FF）は、電源と GND 間に接続されるトランジスタの積み上げ段数を減らすように構成したものである。

【0015】この発明の第1の発明にかかるラッチ回路は、クロック入力 T バー信号が入力される第1のトランジスタ Q_1 と、この第1のトランジスタ Q_1 のエミッタに共通の抵抗を介してそれぞれそのエミッタが接続されデータ入力 D 、 D バー信号が入力されて差動的に働きそれぞれ D バー、 D 信号を出力する第2および第3のトランジスタ Q_2 、 Q_3 と、クロック入力 T 信号が入力される第4のトランジスタ Q_4 と、この第4のトランジスタ Q_4 のエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第3および第2のトランジスタ Q_3 、 Q_2 の出力信号が入力されて差動的に働き上記出力信号を保持する第5および第6のトランジスタ Q_5 、 Q_6 とを備えたものである。

【0016】第2の発明にかかるフロップフリップ回路は、クロック入力 T バー信号が入力される第1のトランジスタ Q_1 と、この第1のトランジスタ Q_1 のエミッタに共通の抵抗を介してそれぞれそのエミッタが接続されデータ入力 D 、 D バー信号が入力されて差動的に働きそ

7

れぞれDバー、D信号を出力する第2および第3のトランジスタQ2、Q3と、クロック入力T信号が入力される第4のトランジスタQ4と、この第4のトランジスタQ4のエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第3および第2のトランジスタQ3、Q2の出力信号が入力されて差動的に働き上記第2および第3のトランジスタQ2、Q3の出力信号を保持する第5および第6のトランジスタQ5、Q6と、クロック入力T信号が入力される第7のトランジスタQ7と、この第7のトランジスタQ7のエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第5および第6トランジスタQ5、Q6の出力信号が入力されて差動的に働きそれぞれD、Dバー信号を出力する第8および第9のトランジスタQ8、Q9と、クロック入力Tバー信号が入力される第10のトランジスタQ10と、この第10のトランジスタQ10のエミッタに共通の抵抗を介してそれぞれそのエミッタが接続され上記第9および第8のトランジスタQ9、Q8の出力信号が入力されて差動的に働き上記第8および第9のトランジスタQ8、Q9の出力信号を保持する第11および第12のトランジスタQ11、Q12とを備えたものである。

【0017】第3の発明にかかるラッチ回路は、クロック入力Tバー信号がベースに入力される第1のトランジスタQ1と、データ入力D信号がベースに入力される第2のトランジスタQ2と、データ入力Dバー信号がベースに入力される第3のトランジスタQ3と、上記第1のトランジスタQ1のエミッタと上記第2、第3のトランジスタQ2、Q3のエミッタ接続点との間に挿入された第1のエミッタ帰還抵抗R15と、上記第1のトランジスタQ1のエミッタと上記第1のエミッタ帰還抵抗R15との接続点と接地電位GNDとの間に挿入された第1の定電流源I1と、クロック入力T信号がベースに入力される第4のトランジスタQ4と、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第5、第6のトランジスタQ5、Q6と、上記第4のトランジスタQ4のエミッタと上記第5、第6のトランジスタQ5、Q6のエミッタ接続点との間に挿入された第2のエミッタ帰還抵抗R16と、上記第4のトランジスタQ4のエミッタと上記第2のエミッタ帰還抵抗R16との接続点と接地電位GNDとの間に挿入された第2の定電流源I2と、上記第2、第5のトランジスタQ2、Q5のコレクタと上記第6のトランジスタQ6のベースとの共通接続点と電源V_{CC}との間に挿入された第1の負荷抵抗R11と、上記第3、第6のトランジスタQ3、Q6のコレクタと上記第5のトランジスタQ5のベースとの共通接続点と電源V_{CC}との間に挿入された第2の負荷抵抗R12とを備えたものである。

【0018】第4の発明にかかるフロップフリップ回路は、クロック入力Tバー信号がベースに入力される第1のトランジスタQ1と、データ入力D信号がベースに入

8

力される第2のトランジスタQ2、データ入力Dバー信号がベースに入力される第3のトランジスタQ3と、上記第1のトランジスタQ1のエミッタと上記第2、第3のトランジスタQ2、Q3のエミッタ接続点との間に挿入された第1のエミッタ帰還抵抗R15と、上記第1のトランジスタQ1のエミッタと上記第1のエミッタ帰還抵抗R15との接続点と接地電位GNDとの間に挿入された第1の定電流源I1と、クロック入力T信号がベースに入力される第4のトランジスタQ4と、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第5、第6のトランジスタQ5、Q6と、上記第4のトランジスタQ4のエミッタと上記第5、第6のトランジスタQ5、Q6のエミッタ接続点との間に挿入された第2のエミッタ帰還抵抗R16と、上記第4のトランジスタQ4のエミッタと上記第2のエミッタ帰還抵抗R16との接続点と接地電位GNDとの間に挿入された第2の定電流源I2と、上記第2、第5のトランジスタQ2、Q5のコレクタと上記第6のトランジスタQ6のベースとの共通接続点と電源との間に挿入された第1の負荷抵抗R11と、上記第3、第6のトランジスタQ3、Q6のコレクタと上記第5のトランジスタQ5のベースとの共通接続点と電源との間に挿入された第2の負荷抵抗R12と、クロック入力T信号がベースに入力される第7のトランジスタQ7と、ベースが上記第1の負荷抵抗R11に接続された第8のトランジスタQ8と、ベースが上記第2の負荷抵抗R12に接続された第9のトランジスタQ9と、上記第7のトランジスタQ7のエミッタと上記第8、第9のトランジスタQ8、Q9のエミッタ接続点との間に挿入された第3のエミッタ帰還抵抗R17と、上記第7のトランジスタQ7のエミッタと上記第3のエミッタ帰還抵抗R17の接続点と接地電位GNDとの間に挿入された第3の定電流源I3と、クロック入力Tバー信号がベースに入力される第10のトランジスタQ10と、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第11、第12のトランジスタQ11、Q12と、上記第10のトランジスタQ10のエミッタと上記第11、第12のトランジスタQ11、Q12のエミッタ接続点との間に挿入された第4のエミッタ帰還抵抗R18と、上記第10のトランジスタQ10のエミッタと上記第4のエミッタ帰還抵抗R18の接続点と接地電位GNDとの間に挿入された第4の定電流源I4と、上記第8、第11のトランジスタQ8、Q11のコレクタと上記第12のトランジスタQ12のベースとの共通接続点と電源との間に挿入されQ信号を出力するための第3の負荷抵抗R13と、上記第9、第12のトランジスタQ9、Q12のコレクタと上記第11のトランジスタQ11のベースとの共通接続点と電源との間に挿入されQバー信号を出力するための第4の負荷抵抗R14とを備えたものである。

【0019】第5の発明にかかるラッチ回路は、クロック

ク入力Tバー信号がベースに入力される第1のトランジスタQ1と、データ入力D信号がベースに入力される第2のトランジスタQ2と、データ入力Dバー信号がベースに入力される第3のトランジスタQ3と、上記第1のトランジスタQ1のエミッタと上記第2、第3のトランジスタQ2、Q3のエミッタ接続点との間に挿入された第1のエミッタ帰還抵抗R15と、上記第1のトランジスタQ1のエミッタと上記第1のエミッタ帰還抵抗R15との接続点と接地電位GNDとの間に挿入された第1の定電流源I1と、クロック入力T信号がベースに入力される第4のトランジスタQ4と、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第5、第6のトランジスタQ5、Q6と、上記第4のトランジスタQ4のエミッタと上記第5、第6のトランジスタQ5、Q6のエミッタ接続点との間に挿入された第2のエミッタ帰還抵抗R16と、上記第4のトランジスタQ4のエミッタと上記第2のエミッタ帰還抵抗R16との接続点と接地電位GNDとの間に挿入された第2の定電流源I2と、上記第2、第5のトランジスタQ2、Q5のコレクタと上記第6のトランジスタQ6のベースとの共通接続点に一端が接続された第1の負荷抵抗R11と、上記第3、第6のトランジスタQ3、Q6のコレクタと上記第5のトランジスタQ5のベースとの共通接続点に一端が接続された第2の負荷抵抗R12と、上記第1、第2の負荷抵抗R11、R12の他端と電源との間に共通に挿入された第1のレベルシフト用抵抗R26とを備えたことを特徴とするものである。

【0020】第6の発明にかかるフリップフロップ回路は、クロック入力Tバー信号がベースに入力される第1のトランジスタQ1と、データ入力D信号がベースに入力される第2のトランジスタQ2と、データ入力Dバー信号がベースに入力される第3のトランジスタQ3と、上記第1のトランジスタQ1のエミッタと上記第2、第3のトランジスタQ2、Q3のエミッタ接続点との間に挿入された第1のエミッタ帰還抵抗R15と、上記第1のトランジスタQ1のエミッタと上記第1のエミッタ帰還抵抗R15との接続点と接地電位GNDとの間に挿入された第1の定電流源I1と、クロック入力Tバー信号がベースに入力される第4のトランジスタQ4と、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第5、第6のトランジスタQ5、Q6と、上記第4のトランジスタQ4のエミッタと上記第5、第6のトランジスタQ5、Q6のエミッタ接続点との間に挿入された第2のエミッタ帰還抵抗R16と、上記第4のトランジスタQ4のエミッタと上記第2のエミッタ帰還抵抗R16との接続点と接地電位GNDとの間に挿入された第2の定電流源I2と、上記第2、第5のトランジスタQ2、Q5のコレクタと上記第6のトランジスタQ6のベースとの共通接続点に一端が接続された第1の負荷抵抗R11と、上記第3、第6のトランジスタQ

3、Q6のコレクタと上記第5のトランジスタQ5のベースとの共通接続点に一端が接続された第2の負荷抵抗R12と、上記第1、第2の負荷抵抗R11、R12の他端と電源との間に共通に挿入された第1のレベルシフト用抵抗R26と、クロック入力T信号がベースに入力される第7のトランジスタQ7と、ベースが上記第1の負荷抵抗R11に接続された第8のトランジスタQ8と、ベースが上記第2の負荷抵抗R12に接続された第9のトランジスタQ9と、上記第7のトランジスタQ7のエミッタと上記第8、第9のトランジスタQ8、Q9のエミッタ接続点との間に挿入された第3のエミッタ帰還抵抗R17と、上記第7のトランジスタQ7のエミッタと上記第3のエミッタ帰還抵抗R17の接続点と接地電位GNDとの間に挿入された第3の定電流源I3と、クロック入力Tバー信号がベースに入力される第10のトランジスタQ10と、互いに、ベースと他方のコレクタ、コレクタと他方のベースが接続された第11、第12のトランジスタQ11、Q12と、上記第10のトランジスタQ10のエミッタと上記第11、第12のトランジスタQ11、Q12のエミッタ接続点との間に挿入された第4のエミッタ帰還抵抗R18と、上記第10のトランジスタQ10のエミッタと上記第4のエミッタ帰還抵抗R18の接続点と接地電位との間に挿入された第4の定電流源I4と、上記第8、第11のトランジスタQ8、Q11のコレクタと上記第12のトランジスタQ12のベースとの共通接続点に一端が接続され、Q信号を出力するための第3の負荷抵抗R13と、上記第9、第12のトランジスタQ9、Q12のコレクタと上記第11のトランジスタQ11のベースとの共通接続点に一端が接続され、Qバー信号を出力するための第4の負荷抵抗R14と、上記第3、第4の負荷抵抗R13、R14の他端と電源との間に共通に挿入された第2のレベルシフト用抵抗R27とを備えたものである。

【0021】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1を図1について説明する。図1はこの発明の実施の形態1のフリップフロップ回路の回路構成図である。図1において、Q1～Q19は第1ないし第19トランジスタ、R11～R25は抵抗であり、抵抗R11～R14は負荷抵抗、抵抗R15～R18はエミッタ帰還抵抗、R23およびR24は負荷抵抗である。11、12、13、14および15はトランジスタ差動対、I1～I5は定電流源である。

【0022】第1のトランジスタ差動対11は、第1ないし第3のトランジスタQ1～Q3および抵抗R15よりなり、第1トランジスタQ1のエミッタが共通の第1のエミッタ帰還抵抗R15を介して第2および第3トランジスタQ2、Q3のエミッタに接続されている。換言すれば、第1のエミッタ帰還抵抗R15は、第1トラン

ジスタQ1のエミッタと第2および第3トランジスタQ2、Q3のエミッタ接続点との間に挿入されている。また、第1トランジスタQ1のベースは第17トランジスタQ17のコレクタに接続されている。また、第2および第3トランジスタQ2、Q3のベースはそれぞれD、Dバー入力に接続されている。

【0023】第2のトランジスタ差動対12は、第4ないし第6トランジスタQ4～Q6および抵抗R16よりなり、第3トランジスタQ3のエミッタが共通の第2のエミッタ帰還抵抗R16を介して第4および第5トランジスタQ4、Q5のエミッタに接続されている。換言すれば、第2のエミッタ帰還抵抗R16は、第4トランジスタQ4のエミッタと第5および第6トランジスタQ5、Q6のエミッタ接続点との間に挿入されている。また、第5および第6トランジスタQ5、Q6は、互いにQ5のベースとQ6のコレクタ、Q5のコレクタとQ6のベースとが接続されている。また、第4トランジスタQ4のベースは、第18トランジスタQ18のコレクタに接続されている。

【0024】第3のトランジスタ差動対13は、第7ないし第9トランジスタQ7～Q9および抵抗R17よりなり、第7トランジスタQ7のエミッタが共通の第3のエミッタ帰還抵抗R17を介して第8および第9トランジスタQ8、Q9のエミッタに接続されている。換言すれば、第3のエミッタ帰還抵抗R17は、第7トランジスタQ7のエミッタと第8および第9トランジスタQ8、Q9のエミッタ接続点との間に挿入されている。第7トランジスタQ7のベースは、第18トランジスタQ18のコレクタに接続されている。また、第8のトランジスタQ8のベースは第1の負荷抵抗R11の出力信号側、すなわち、第2トランジスタQ2および第5トランジスタQ5のコレクタと第1負荷抵抗R11との接続点に接続されている。また、第9のトランジスタQ9のベースは第2の負荷抵抗R12の出力信号側、すなわち第3トランジスタQ3および第6トランジスタQ6のコレクタと第2負荷抵抗R12との接続点に接続されている。

【0025】第4のトランジスタ差動対14は第10ないし第12トランジスタQ10～Q12および抵抗R18よりなり、第10トランジスタQ10のエミッタが共通の第4のエミッタ帰還抵抗R18を介して第11および第12トランジスタQ11、Q12のエミッタに接続されている。換言すれば、第4のエミッタ帰還抵抗R18は、第10トランジスタQ10のエミッタと第11および第12トランジスタQ11、Q12のエミッタ接続点との間に挿入されている。また、第11および第12トランジスタQ11、Q12は、互いにQ11のベースとQ12のコレクタ、Q11のコレクタとQ12のベースとが接続されている。また、第10トランジスタQ10のベースは、第17トランジスタQ17のコレクタに

接続されている。

【0026】第5のトランジスタ差動対15は、第17および第18トランジスタQ17、Q18よりなり、相互にエミッタが接続されている。

【0027】定電流源I1はトランジスタQ13の抵抗R19よりなり、第1のトランジスタQ1のエミッタと第1のエミッタ帰還抵抗R15との接続点と接地電位GNDとの間に挿入されている。定電流源I2はトランジスタQ14と抵抗R20よりなり、第4のトランジスタQ4のエミッタと第2のエミッタ帰還抵抗R16との接続点と接地電位GNDとの間に挿入されている。

【0028】定電流源I3はトランジスタQ15と抵抗R21よりなり、第7のトランジスタQ7のエミッタと第3のエミッタ帰還抵抗R17との接続点と接地電位GNDとの間に挿入されている。定電流源I4はトランジスタQ16の抵抗R22よりなり、第10のトランジスタQ10のエミッタと第4のエミッタ帰還抵抗R18との接続点と接地電位GNDとの間に挿入されている。

【0029】定電流源I5はトランジスタQ19と抵抗R25よりなり、第17および第18のトランジスタQ17、Q18のエミッタ接続点と接地電位GNDとの間に挿入されている。

【0030】第1の負荷抵抗R11は、第2、第5のトランジスタQ2、Q5のコレクタと第6のトランジスタQ6のベースとの共通接続点と電源V_{CC}との間に挿入されている。第2の負荷抵抗R12は、第3、第6のトランジスタQ3、Q6のコレクタと第5のトランジスタQ5のベースとの共通接続点と電源V_{CC}との間に挿入されている。

【0031】第3の負荷抵抗R13は、第8および第11のトランジスタQ8、Q11のコレクタと第12のトランジスタQ12のベースとの共通接続点と電源V_{CC}との間に挿入されている。第4の負荷抵抗R14は、第9および第12のトランジスタQ9、Q12のコレクタと第11のトランジスタQ11のベースとの共通接続点と電源V_{CC}との間に挿入されている。

【0032】V_{CC}は電源、V_Bは定電流バイアス入力、GNDは接地電位を示す。そして、このフリップフロップ回路全体は電源電圧V_{CC}と接地電位GNDの間で動作する。定電流源I1～I5には、直流電圧V_Bが接地電位GNDとの間に印加される。また、T、Tバーはクロック入力信号、D、Dバーはデータ入力信号、Q、Qバーは出力信号を示す。

【0033】クロック入力T、Tバー信号は、第1の差動対15に、すなわちT信号が第17トランジスタQ17のベースに入力され、Tバー信号が第18トランジスタQ18のベースに入力される。この第17トランジスタQ17の出力信号Tバーは第1の差動対11の第1トランジスタQ1のベースに入力される。また、データ入力信号D、Dバーは第1の差動対11に、すなわちD信

号が第2トランジスタQ2のベースに入力され、Dバー信号が第3トランジスタQ3のベースに入力される。一方、第18トランジスタQ18の出力信号Tは、第2の差動対12の第4トランジスタQ4のベースに入力される。

【0034】第18トランジスタQ18の出力信号Tは、第3の差動対13の第7トランジスタQ7のベースに入力される。また、負荷抵抗R11、R12に現れる信号が第3の差動対13に、すなわち負荷抵抗R11に現れる信号(Dバー信号)が第8トランジスタQ8のベースに入力され、負荷抵抗R12に現れる信号(D信号)が第9トランジスタQ9のベースに入力される。一方、第17トランジスタQ17の出力信号Tバーは、第4の差動対14の第10トランジスタQ10のベースに入力される。

【0035】負荷抵抗R13、R14の現れる信号が、このフリップフロップ回路の出力としてQ、Qバーに、すなわち負荷抵抗R13の現れる信号(D信号)が出力Qに、負荷抵抗R14に現れる信号(Dバー信号)が出力Qバーに取り出される。

【0036】次に動作について説明する。T入力にハイが入力された場合、第5の差動対15の第17トランジスタQ17がオン、第18トランジスタQ18がオフし、抵抗R23出力がロー、R24出力がハイとなる。

【0037】従って、第1の差動対11は第1トランジスタQ1のベース電圧がローのため、第2、第3トランジスタQ2、Q3が動作する。すなわち、D入力を読み込んでR11、R12の負荷に出力する。詳細に言えば、第2トランジスタQ2のベースにD信号が入力され、第3トランジスタQ3のベースにDバー信号が入力されて差動的に働き、それぞれDバー、D信号を出力する。

【0038】第2の差動対12は第4トランジスタQ4のベース電圧にハイ(V_{CC})が印加される。一方、第5、第6トランジスタQ5、Q6のベース電圧のハイレベルもV_{CC}であるが、エミッタ帰還抵抗R16が挿入されているため、第4、第5、第6トランジスタQ4、Q5、Q6のベースが同電圧の場合、第4トランジスタQ4がオンし、第5、第6トランジスタQ5、Q6はオフする。エミッタ帰還抵抗R16は第4～第6の3個のトランジスタQ4～Q6で構成される差動対のスイッチングを行わせるためアンバランスに挿入されている。

【0039】第3の差動対13は第7トランジスタQ7のベースにハイ(V_{CC})が印加されるため第7トランジスタQ7がオンし、第8、第9トランジスタQ8、Q9はオフする。従って、負荷抵抗R11、R12の信号は読み込まない。

【0040】また、第4の差動対14は第10トランジスタQ10のベース電圧がローのため第10トランジスタQ10がオフ、第11、第12トランジスタQ11、

Q12がオンし、前の出力状態を保持し、Q、Qバーに出力し続ける。詳細に言えば、第11および第12のトランジスタQ11、Q12のベースに第9および第8のトランジスタQ9、Q8の出力信号が入力されて差動的に働き上記第8および第9のトランジスタQ8、Q9の出力信号が保持する。

【0041】このようにT入力がハイのとき、第1差動対11がD、Dバー信号を読み込んで出力しているが、そのとき第1差動対12は保持動作をせず、第3差動対13は読み込み動作をせず、第4差動対14が動作して前の出力状態を保持し、これをQ、Qバー信号として出力する。

【0042】次にT入力にローが入力された場合、第1の差動対11は第1トランジスタQ1のベース入力が高いため第1トランジスタQ1がオンし、第2、第3トランジスタQ2、Q3はオフしD入力は読み込まない。

【0043】第2の差動対12は第4トランジスタQ4のベース入力が高いため、第4トランジスタQ4はオフ、第5、第6トランジスタQ5、Q6がオンし、負荷抵抗R11、R12の出力状態を保持する。詳細に言えば、第5および第6のトランジスタQ5、Q6のベースに第3および第2のトランジスタQ3、Q2の出力信号が入力されて差動的に働き、第2および第3のトランジスタQ2、Q3の出力信号を保持する。

【0044】第3の差動対13は第7トランジスタQ7のベース入力が高いため、第7トランジスタQ7がオフ、第8、第9トランジスタQ8、Q9が動作するため、第5および第6トランジスタQ5、Q6の出力信号、換言すればR11、R12の状態をQ、Qバーに出力する。詳細に言えば、第8および第9のトランジスタQ8、Q9のベースには、第5および第6トランジスタQ5、Q6の出力信号が入力されて差動的に働き、それぞれ、D、Dバー信号を出力する。これが負荷抵抗R13、R14からQ、Qバー信号として取り出される。

【0045】第4の差動対14は第10トランジスタQ10のベース電圧にハイ(V_{CC})が印加される。一方、第11、第12トランジスタQ11、Q12のベース電圧のハイレベルもV_{CC}であるが、エミッタ帰還抵抗R18が挿入されているため、第10、第11、第12トランジスタQ10、Q11、Q12のベースが同電圧の場合、第10トランジスタQ10がオンし、第11、第12トランジスタQ11、Q12はオフする。エミッタ帰還抵抗R18は、第10～第12の3個のトランジスタQ10～Q12で構成される差動対のスイッチングを行わせるためアンバランスに挿入されている。

【0046】このように、T入力がローのとき、第1差動対11は、あらたにD、Dバー信号は読み込まず、第1差動対12が作動して先に読み込んだ信号を保持し、第3差動対13が作動してこれを読み込んでQ、Qバー信号として出力する。

【0047】以上のように図3の従来例と同様、クロック入力Tがハイのときにデータ入力D、Dバーのデータを読み込み、クロック入力Tがローのときに読み込んだデータをQ、Qバーに出力するよう動作する。

【0048】以上のような構成および動作において示されるように、第1および第2のトランジスタ差動対11、12とこれに伴う第1および第2の負荷抵抗R11、R12ならびに第1および第2の定電流源I1、I2とは、一つのラッチ回路を構成している。同じく、第3および第4のトランジスタ差動対13、14とこれに伴う第3および第4の負荷抵抗R13、R14ならびに第3および第4の定電流源I3、I4とは、もう一つのラッチ回路を構成している。これら二つのラッチ回路の組み合わせによってフリップフロップ回路が構成されている。

【0049】以上のように、この実施の形態1では、第1～第4のトランジスタ差動対11～14において、トランジスタ3個で構成される差動対のスイッチングを行わせるためにエミッタ帰還抵抗R15～R18をアンバランスに挿入した。このような構成により、第1の回路図に示されるように、電源V_{CC}と接地電位GND間に接続されるトランジスタの積み上げ段数は、第1～第4のトランジスタ差動対11～15を構成する第1～第12トランジスタQ1～Q12と第1～第4の定電流源I1～I4を構成する第13～第16トランジスタQ13～Q16との二段の積み上げとなり、従来の三段の積み上げより一段減らすことができる。第5のトランジスタ差動対15を構成する第17～第18トランジスタQ17、Q18と第5の定電流源I5を構成する第19トランジスタQ19との二段の積み上げも同様である。このようにトランジスタの積み上げ段数を減らすように構成したのでこの発明のフリップフロップ回路では従来のものより低電圧での動作が可能になる。

【0050】これを具体的にみると、トランジスタのベース・エミッタ間電圧V_{BE}を0.7V、トランジスタのコレクタ・ベース間電圧差を0.2V、定電流源を構成する抵抗の電圧降下を0.2Vとすると、最低必要とされる電源電圧は、 $0.7 \times 2 + 0.2 + 0.2 = 1.8V$ であり、従来例に比較し、より低い電源電圧で動作可能である。

【0051】このように、この発明によるフリップフロップ(FF)回路は、特に、フェーズ・ロックド・ループ(PLL)を構成するエミッタ・カップルド・ロジック(ECL)方式フリップフロップ(FF)を用いた分周器において有用に用いられ、特に電池駆動される移動体通信機器に最適な低電圧動作可能なエミッタ・カップルド・ロジック(ECL)方式フリップフロップ(FF)を実現するものである。

【0052】実施の形態2、以下、この発明の実施の形態2を図2について説明する。図2はこの発明の実施の

形態2のフリップフロップ回路の回路構成図である。図2において、Q1～Q19は第1ないし第19トランジスタ、R11～R27は抵抗であり、抵抗R11～R14は負荷抵抗、抵抗R15～R18はエミッタ帰還抵抗、R23およびR24は負荷抵抗、抵抗R26、R27はレベルシフト用抵抗である。11、12、13、14および15はトランジスタ差動対、I1～I5は定電流源である。

【0053】第1のトランジスタ差動対11は、第1ないし第3のトランジスタQ1～Q3および抵抗R15よりなり、第1トランジスタQ1のエミッタが共通の第1のエミッタ帰還抵抗R15を介して第2および第3トランジスタQ2、Q3のエミッタに接続されている。換言すれば、第1のエミッタ帰還抵抗R15は、第1トランジスタQ1のエミッタと第2および第3トランジスタQ2、Q3のエミッタ接続点との間に挿入されている。また、第1トランジスタQ1のベースは第17トランジスタQ17のコレクタに接続されている。また、第2および第3トランジスタQ2、Q3のベースはそれぞれD、Dバー入力に接続されている。

【0054】第2のトランジスタ差動対12は、第4ないし第6トランジスタQ4～Q6および抵抗R16よりなり、第3トランジスタQ3のエミッタが共通の第2のエミッタ帰還抵抗R16を介して第4および第5トランジスタQ4、Q5のエミッタに接続されている。換言すれば、第2のエミッタ帰還抵抗R16は、第4トランジスタQ4のエミッタと第5および第6トランジスタQ5、Q6のエミッタ接続点との間に挿入されている。また、第5および第6トランジスタQ5、Q6は、互いにQ5のベースとQ6のコレクタ、Q5のコレクタとQ6のベースとが接続されている。また、第4トランジスタQ4のベースは、第18トランジスタQ18のコレクタに接続されている。

【0055】第3のトランジスタ差動対13は、第7ないし第9トランジスタQ7～Q9および抵抗R17よりなり、第7トランジスタQ7のエミッタが共通の第3のエミッタ帰還抵抗R17を介して第8および第9トランジスタQ8、Q9のエミッタに接続されている。換言すれば、第3のエミッタ帰還抵抗R17は、第7トランジスタQ7のエミッタと第8および第9トランジスタQ8、Q9のエミッタ接続点との間に挿入されている。第7トランジスタQ7のベースは、第18トランジスタQ18のコレクタに接続されている。また、第8のトランジスタQ8のベースは第1の負荷抵抗R11の出力信号側、すなわち、第2トランジスタQ2および第5トランジスタQ5のコレクタと第1負荷抵抗R11との接続点に接続されている。また、第9のトランジスタQ9のベースは第2の負荷抵抗R12の出力信号側、すなわち第3トランジスタQ3および第6トランジスタQ6のコレクタと第2負荷抵抗R12との接続点に接続されてい

る。

【0056】第4のトランジスタ差動対14は第10ないし第12トランジスタQ10～Q12および抵抗R18よりなり、第10トランジスタQ10のエミッタが共通の第4のエミッタ帰還抵抗R18を介して第11および第12トランジスタQ11、Q12のエミッタに接続されている。換言すれば、第4のエミッタ帰還抵抗R18は、第10トランジスタQ10のエミッタと第11および第12トランジスタQ11、Q12のエミッタ接続点との間に挿入されている。また、第11および第12トランジスタQ11、Q12は、互いにQ11のベースとQ12のコレクタ、Q11のコレクタとQ12のベースとが接続されている。また、第10トランジスタQ10のベースは、第17トランジスタQ17のコレクタに接続されている。

【0057】第5のトランジスタ差動対15は、第17および第18トランジスタQ17、Q18よりなり、相互にエミッタが接続されている。

【0058】定電流源I1はトランジスタQ13と抵抗R19よりなり、第1のトランジスタQ1のエミッタと第1のエミッタ帰還抵抗R15との接続点と接地電位GNDとの間に挿入されている。定電流源I2はトランジスタQ14と抵抗R20よりなり、第4のトランジスタQ4のエミッタと第2のエミッタ帰還抵抗R16との接続点と接地電位GNDとの間に挿入されている。

【0059】定電流源I3はトランジスタQ15と抵抗R21よりなり、第7のトランジスタQ7のエミッタと第3のエミッタ帰還抵抗R17との接続点と接地電位GNDとの間に挿入されている。定電流源I4はトランジスタQ16と抵抗R22よりなり、第10のトランジスタQ10のエミッタと第4のエミッタ帰還抵抗R18との接続点と接地電位GNDとの間に挿入されている。

【0060】定電流源I5はトランジスタQ19と抵抗R25よりなり、第17および第18のトランジスタQ17、Q18のエミッタ接続点と接地電位GNDとの間に挿入されている。

【0061】第1の負荷抵抗R11は、その一端が、第2、第5のトランジスタQ2、Q5のコレクタと第6のトランジスタQ6のベースとの共通接続点に接続されている。第2の負荷抵抗R12は、その一端が、第3、第6のトランジスタQ3、Q6のコレクタと第5のトランジスタQ5のベースとの共通接続点に接続されている。レベルシフト用抵抗R26が、負荷抵抗R11、R12のそれぞれの他端の接続点と電源V_{CC}との間に挿入されている。

【0062】第3の負荷抵抗R13は、その一端が、第8および第11のトランジスタQ8、Q11のコレクタと第12のトランジスタQ12のベースとの共通接続点に接続されている。第4の負荷抵抗R14は、その一端が、第9および第12のトランジスタQ9、Q12のコ

レクタと第11のトランジスタQ11のベースとの共通接続点に接続されている。レベルシフト用抵抗R27が、負荷抵抗R13、R14のそれぞれの他端の接続点と電源V_{CC}との間に挿入されている。

【0063】V_{CC}は電源、V_Bは定電流バイアス入力、GNDは接地電位を示す。そして、このフリップフロップ回路全体は、電源電圧V_{CC}と接地電位GNDの間で動作する。定電流源I1～I5には、直流電圧V_Bが接地電位GNDとの間に印加される。また、T、Tバーはクロック入力信号、D、Dバーはデータ入力信号、Q、Qバーは出力信号を示す。

【0064】クロック入力T、Tバー信号は、第5の差動対15に、すなわちT信号が第17トランジスタQ17のベースに入力され、Tバー信号が第18トランジスタQ18のベースに入力される。この第17トランジスタQ17の出力信号Tバーは第1の差動対11の第1トランジスタQ1のベースに入力される。また、データ入力信号D、Dバーは第1の差動対11に、すなわちD信号が第2トランジスタQ2のベースに入力され、Dバー信号が第3トランジスタQ3のベースに入力される。一方、第18トランジスタQ18の出力信号Tは、第2の差動対12の第4トランジスタQ4のベースに入力される。

【0065】第18トランジスタQ18の出力信号Tは、第3の差動対13の第7トランジスタQ7のベースに入力される。また、負荷抵抗R11、R12に現れる信号が第3の差動対13に、すなわち負荷抵抗R11に現れる信号（Dバー信号）が第8トランジスタQ8のベースに入力され、負荷抵抗R12に現れる信号（D信号）が第9トランジスタQ9のベースに入力される。一方、第17トランジスタQ17の出力信号Tバーは、第4の差動対14の第10トランジスタQ10のベースに入力される。

【0066】負荷抵抗R13、R14に現れる信号が、このフリップフロップ回路の出力としてQ、Qバーに、すなわち負荷抵抗R13の現れる信号（D信号）が出力Qに、負荷抵抗R14に現れる信号（Dバー信号）が出力Qバーに取り出される。

【0067】次に動作について説明する。T入力にハイが入力された場合、第5の差動対15の第17トランジスタQ17がオン、第18トランジスタQ18がオフし、抵抗R23出力がロー、R24出力がハイとなる。

【0068】従って、第1の差動対11は第1トランジスタQ1のベース電圧がローのため、第2、第3トランジスタQ2、Q3が動作する。すなわち、D入力を読み込んでR11、R12の負荷に出力する。詳細に言えば、第2トランジスタQ2のベースにD信号が入力され、第3トランジスタQ3のベースにDバー信号が入力されて差動的に働き、それぞれDバー、D信号を出力する。

【0069】第2の差動対12は第4トランジスタQ4のベース電圧にハイ (V_{CC}) が印加される。一方、第5、第6トランジスタQ5、Q6のベース電圧のハイレベルは、レベルシフト用抵抗R26が挿入されているため、電源電位からレベルシフト用抵抗R26による電圧降下の分だけ低く、 V_{CC} - “抵抗R26による電圧降下” となる。このため、エミッタ帰還抵抗R16の挿入による効果とあいまって、第4トランジスタQ4がオンし、第5、第6トランジスタQ5、Q6はオフする。レベルシフト用抵抗R26はスイッチングを確実にする働きをする。

【0070】第3の差動対13は第7トランジスタQ7のベースにハイ (V_{CC}) が印加されるため第7トランジスタQ7がオンし、第8、第9トランジスタQ8、Q9はオフする。従って、負荷抵抗R11、R12の信号は読み込まない。

【0071】また、第4の差動対14は第10トランジスタQ10のベース電圧がローのため第10トランジスタQ10がオフ、第11、第12トランジスタQ11、Q12がオンし、前の出力状態を保持し、Q、Qバーに出力し続ける。詳細に言えば、第11および第12のトランジスタQ11、Q12のベースに第9および第8のトランジスタQ9、Q8の出力信号が入力されて差動的に働き上記第8および第9のトランジスタQ8、Q9の出力信号が保持する。

【0072】このようにT入力が高いとき、第1差動対11がD、Dバー信号を読み込んで出力しているが、そのとき第2差動対12は保持動作をせず、第3差動対13は読み込み動作をせず、第4差動対14が動作して前の出力状態を保持し、これをQ、Qバー信号として出力する。

【0073】次にT入力にローが入力された場合、第1の差動対11は第1トランジスタQ1のベース入力が高いのため第1トランジスタQ1がオンし、第2、第3トランジスタQ2、Q3はオフしD入力は読み込まない。

【0074】第2の差動対12は第4トランジスタQ4のベース入力にローのため、第4トランジスタQ4はオフ、第5、第6トランジスタQ5、Q6がオンし、負荷抵抗R11、R12の出力状態を保持する。詳細に言えば、第5および第6のトランジスタQ5、Q6のベースに第3および第2のトランジスタQ3、Q2の出力信号が入力されて差動的に働き、第2および第3のトランジスタQ2、Q3の出力信号を保持する。

【0075】第3の差動対13は第7トランジスタQ7のベース入力にローのため、第7トランジスタQ7がオフ、第8、第9トランジスタQ8、Q9が動作するため、第5および第6トランジスタの出力信号、換言すればR11、R12の状態をQ、Qバーに出力する。詳細に言えば、第8および第9のトランジスタQ8、Q9のベースには、第5および第6トランジスタの出力信号が

入力されて差動的に働き、それぞれ、D、Dバー信号を出力する。これが負荷抵抗R13、R14からQ、Qバー信号として取り出される。

【0076】第4の差動対14は第10トランジスタQ10のベース電圧にハイ (V_{CC}) が印加される。一方、第11、第12トランジスタQ11、Q12のベース電圧のハイレベルは、レベルシフト用抵抗R27が挿入されているため、電源電位からレベルシフト用抵抗R27による電圧降下の分だけ低く、 V_{CC} - “抵抗R27による電圧降下” となる。このため、エミッタ帰還抵抗R18の挿入による効果とあいまって、第10トランジスタQ10がオンし、第11、第12トランジスタQ11、Q12はオフする。レベルシフト用抵抗R27はスイッチングを確実にする働きをする。

【0077】このように、T入力が高いとき、第1差動対11は、あらたにD、Dバー信号は読み込まず、第2差動対12が作動して先に読み込んだ信号を保持し、第3差動対13が作動してこれを読み込んでQ、Qバー信号として出力する。

【0078】以上のように図3の従来例と同様、クロック入力Tが高いときにデータ入力D、Dバーのデータを読み込み、クロック入力Tがローのときに読み込んだデータをQ、Qバーに出力するよう動作する。

【0079】以上のような構成および動作において示されるように、第1および第2のトランジスタ差動対11、12とこれに伴う第1および第2の負荷抵抗R11、R12、レベルシフト用抵抗R26ならびに第1および第2の定電流源I1、I2とは、一つのラッチ回路を構成している。同じく、第3および第4のトランジスタ差動対13、14とこれに伴う第3および第4の負荷抵抗R13、R14、レベルシフト用抵抗R27ならびに第3および第4の定電流源I3、I4とは、もう一つのラッチ回路を構成している。これら二つのラッチ回路の組み合わせによってフリップフロップ回路が構成されている。

【0080】以上のように、この実施の形態2では、第1～第4のトランジスタ差動対11～14において、トランジスタ3個で構成される差動対のスイッチングを行わせるためにエミッタ帰還抵抗R15～R18をアンバランスに挿入するとともに、よりスイッチングを確実にさせるためレベルシフト用抵抗R26、R27を負荷抵抗と電源の間に挿入した。このような構成により、第1の回路図に示されるように、電源 V_{CC} と接地電位GND間に接続されるトランジスタの積み上げ段数は、第1～第4のトランジスタ差動対11～15を構成する第1～第12トランジスタQ1～Q12と第1～第4の定電流源I1～I4を構成する第13～第16トランジスタQ13～Q16との二段の積み上げとなり、従来の三段の積み上げより一段減らすことができる。第5のトランジスタ差動対15を構成する第17～第18トランジ

【0082】このように、この発明によるフリップフロップ（FF）回路は、特に、フェーズ・ロックド・ループ（PLL）を構成するエミッタ・カップルド・ロジック

【図面の簡単な説明】

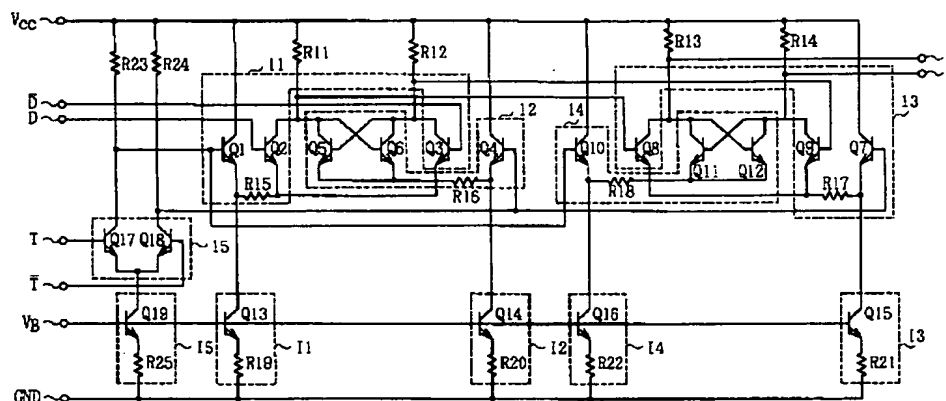
【図 2】 この発明の実施の形態 2 の回路図。

【図3】 従来のフリップフロップ回路の回路図。

【符号の説明】

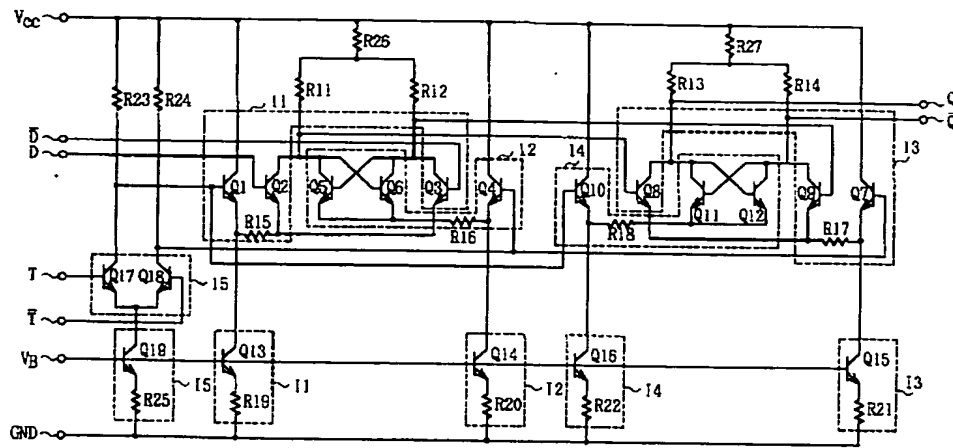
Q1～Q19 トランジスタ、R1～R6、R11～R27 抵抗、1～5、11～15 トランジスタ差動対、I1～I5 定電流源、T、Tバー、D、Dバー 信号入力、Q、Qバー 信号出力、V_{CC}、GND 電源入力、V_B 定電流源バイアス入力。

【图 1】



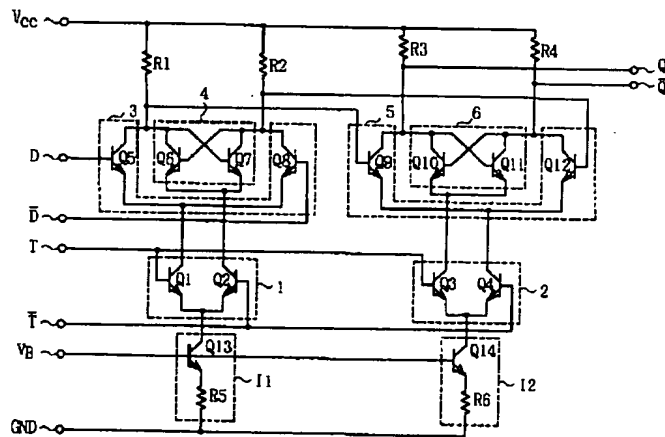
Q1-Q19 : トランジスタ	T, \bar{T} , D, \bar{D} : 信号入力
R11-R25 : 抵抗	Q, \bar{Q} : 信号出力
I1-I5 : トランジスタ差動対	V _{CC} , GND : 電源入力
I1-I5 : 定電流源	V _B : 定電流源バイアス入力

【図 2】



R26, R27 : 抵抗

【図 3】



Q1-Q14 : トランジスタ
 R1-R6 : 抵抗
 1-5 : トランジスタ差動対
 I1-I2 : 定電流源
 T, T-bar, D, D-bar : 信号入力
 Q, Q-bar : 信号出力
 Vcc, GND : 電源入力
 Vb : 定電流源バイアス入力